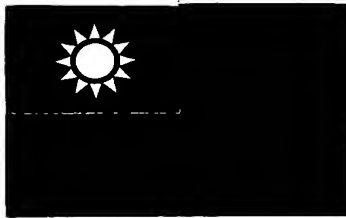


#2



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

Jc879 U.S. PTO
10/092906
03/08/02

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2001 年 04 月 12 日
Application Date

申請案號：090108827
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

局長
Director General

陳明邦

發文日期：西元 2001 年 5 月 21 日
Issue Date

發文字號：
Serial No.

09011007271

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

申請日期	Apr. 12, 2001
案 號	90108827
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 新型名稱	中 文	利用類神經網路控制中央處理器升降頻的方法
	英 文	
二、發明人 創作人	姓 名	陳義朗 曾裕達
	國 籍	中華民國 中華民國
	住、居所	台北縣板橋市三民路二段 35 巷 6 號 14 樓之二 台北縣永和市民樂街 55 巷 3 號 3 樓
三、申請人	姓 名 (名稱)	威盛電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	台北縣新店市中正路 533 號 8 樓
	代 表 人 姓 名	王雪紅

裝

訂

線

四、中文發明摘要（發明之名稱：利用類神經網路控制中央處理器升降頻的方法）

一種利用類神經網路控制中央處理器（CPU）升降頻的方法，類神經網路中可包括 m 個基礎函數及 n 個輸入點，且各輸入點與每基礎函數間均相互連結。首先，可利用類神經網路的學習功能依據擬環境參數及擬輸出向量反推得各權重向量，爾後在執行應用程序時，即可將各個環境參數饋入各輸入點中，並藉由各基礎函數的運算求得各基礎向量，將各基礎向量分別乘上相對應的權重向量後加以積分，即可求得輸出向量並據以決定控制信號的大小，以控制 CPU 的升降頻。除此之外，如使用者因習慣需要改變參數值，亦可利用放射性網路的快速學習功能調整權重值，以符合每個使用者的特性。

英文發明摘要（發明之名稱：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

五、發明說明()

【發明領域】

本發明是有關於一種動態控制中央處理器 (Central Processing Unit, 簡稱 CPU) 的方法, 且特別是有關於一種利用類神經網路 (neural network) 控制中央處理器的方法。

【發明背景】

近年來, 半導體技術的日新月異, 也帶動了電子產業的全面開展與技術的創新。拜高科技產業蓬勃發展之賜, 個人電腦 (Personal Computer, 簡稱 PC) 也以燎原野火之勢迅速普及於世界的各個角落, 並由綿密的網際網路相互串連, 架構出實際卻又虛幻的世界地球村, 在此等風潮的引領下, 資訊世代的正式到來, 早已不言而喻。

就個人電腦而言, 過去大多以桌上型電腦為主, 主機、螢幕、鍵盤及滑鼠均為構成電腦的必要組件, 在設置時, 各組件也常佔據著書桌的不同角落, 除了浪費許多寶貴的室內空間外, 也因桌上型電腦無法隨意移動, 而使得機動性大打折扣; 所幸在研發人員的共同努力之下, 筆記型電腦也以驚人的速度朝輕薄小巧之路大步邁進, 正因為其具有高度的便利性, 故而使得筆記型電腦成為當代商務人士們的左右手, 在 PC 領域中扮演著極為重要的角色。

雖然筆記型電腦的機動性具有令人無法抗拒的魅力, 但是電源供應與散熱等問題一直是筆記型電腦亟待克服的難題, 所以, 生產筆記型電腦的研發部門無不竭盡所能, 尋求降低耗電量的有效作法, 以期能延長筆記型電腦的電池使用時間, 使產品更具競爭優勢。有一種想法是, 由於 CPU 的工作頻率係由外頻及倍頻值 (例如 4.5X 或 5X 等) 所共同決定, 若能在使用電腦時, 視系統當時的工作情況隨時調整 CPU 的倍頻值以及操作電壓 (例如 1.6V~0.975V), 那麼即使 CPU 的外頻

五、發明說明()

(目前為 66 或 100MHz) 保持固定，依然可以在系統忙碌時（或 CPU 的使用率較高時）將 CPU 的工作頻率增高（即提高倍頻值）使運算效率提昇，而在系統空閒時將 CPU 的工作頻率降低（即減少倍頻值）以節約用電。如此一來，由於系統會視 CPU 的使用情形動態調整其工作頻率，故可達到節約用電及幫助散熱的目的。雖然這種作法言之成理，但在實際應用上卻有相當大的困難，原因是目前的 CPU 在出廠時都已將倍頻值鎖死，例如 Intel 或 AMD 所生產的 CPU 皆是如此，故而上述兩廠商所生產的 CPU 並不能調整倍頻值，若要改變 CPU 的工作頻率，就只有改變外頻一途；而外頻的調整，目前是由主機板上的 JUMP 或 BIOS 來調，例如美國專利 US5938769 所揭露的多段式電壓及頻率選擇裝置 (CPU escalation adapter with multivoltage and multiple frequency selection)，即是利用指撥開關來設定 CPU 的工作電壓及頻率；但此等作法僅能在電腦開機前針對外頻加以設定，一旦進入作業系統之後就無法再更改外頻的速率，除非重新開機。因此，在倍頻值被鎖死的情況下，想動態調整 CPU 的工作頻率完全不可能。

但，最近國內的 IC 設計廠商威盛 (VIA) 新推出一款代號為薩姆爾 (SAMUEL) 的 CPU，其倍頻值並不固定，故可針對使用者的實際需求加以調整，使 CPU 的工作效率得以提高；因此，在此等的 CPU 架構下，利用調整 CPU 的倍頻值來達到省電目的的作法就顯得非常可行。但動態調整倍頻值所需要克服的技術障礙，就是如何讓電腦系統能依使用狀況的不同，在不重新開機的前提之下，適當地調整倍頻值來達到最好的效果？這正是本發明所要解決的難題。

【發明目的及概述】

有鑑於此，本發明的目的就是在提供一種利用類神經網路控制中

五、發明說明()

央處理器升降頻的方法，不需重新開機即可隨時調整 CPU 的倍頻值，以節約用電。

根據本發明的目的，提出一種利用類神經網路控制中央處理器升降頻的方法，此方法之處理步驟如下：

類神經網路中可包括 m 個基礎函數 (basis function) 及 n 個輸入點 (basis point)，各輸入點與每一基礎函數間均有連結，當 n 個環境參數分別饋入各輸入點後，即可藉由各基礎函數的運算而求得 m 個基礎向量，將各基礎向量分別乘上相對應的權重向量後加以積分，即可組成輸出向量並據以決定控制信號的大小，以控制 CPU 的升降頻。在作法上，可先利用類神經網路的學習程序求得上述各權重向量，再以習得的權重向量配合各基礎向量加以運算，以求得輸出向量。類神經網路在執行學習程序時，可先設定數個環境參數及環境參數下所欲得到的輸出向量，而後，藉類神經網路依據這些環境參數及輸出向量反推出 m 個權重向量 (basis weight)，經過學習程序後，即可定義出最恰當的權重向量。在執行應用程序時，可將 n 個環境參數饋入各輸入點中，並藉由各個基礎函數求得各基礎向量，將基礎向量配合習得的各權重向量加以運算後，即可求得輸出向量，進而控制 CPU 的升降頻。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下。

【圖式之簡單說明】

第 1 圖繪示依照本發明一較佳實施例，所提供的一種利用類神經網路控制 CPU 升降頻的方法示意圖。

第 2 圖繪示乃第 1 圖中類神經網路的結構圖。

五、發明說明()

第 3A 圖繪示高斯函數的圖形。

第 3B 圖繪示多次曲面函數的圖形。

第 4A 圖繪示乃第 2 圖之類神經網路在學習時，倍頻值逐漸增加與各向量間的關係。

第 4B 圖繪示乃第 2 圖之類神經網路在學習時，倍頻值逐漸減少與各向量間的關係。

第 4C 圖繪示乃第 2 圖之類神經網路在學習時，倍頻值呈跳躍式增加與各向量間的關係。

第 4D 圖繪示乃第 2 圖之類神經網路在實際應用時，各向量彼此間的關係。

【圖式標號說明】

11, 13, 15：輸入點

100：類神經網路

120, 140, 160：基礎向量

190：輸出向量

X：環境參數

CT：控制信號

W：權重向量

【較佳實施例】

請參照第 1 圖，其繪示依照本發明一較佳實施例，所提供的一種利用類神經網路控制 CPU 升降頻的方法示意圖。在作法上，可將能影響 CPU 使用率的環境參數饋入類神經網路 100 的各輸入點（未繪示）中，而後類神經網路 100 即可針對各環境參數加以運算及評估，以決定出 CPU 的倍頻值。以此圖為例，環境參數 X_1 、環境參數 X_2 、...、環

五、發明說明 ()

環境參數 X_n 均為能影響 CPU 使用率的環境參數，例如是 CPU 目前之倍頻值、CPU 前次之倍頻值、IDE (Intelligent Drive Electronics) 控制器之資料存取情形、DMA (Direct Memory Access) 控制器之資料存取情形、AGP (Accelerated Graphics Port) 介面之資料存取情形、PCI (Peripheral Component Interconnect) 介面之資料存取情形等等，將各環境參數彙集後，即可作為一組能影響 CPU 效能的樣本 (pattern)。類神經網路針對樣本中的各環境參數加以運算後，可將運算結果輸出，以作為控制 CPU 升降頻的控制信號 CT。舉例來說，若類神經網路 100 針對環境參數 X_1 、環境參數 X_2 、...、環境參數 X_n 運算後所得到的結果為 35，那麼就可將控制信號 CT 設為 35 以設定 CPU 的倍頻值為 $3.5X$ ；同理，若運算結果為 40，則可將控制信號 CT 設為 40 以設定 CPU 的倍頻值為 $4X$ 。當然，若運算結果為 72，由於在 70 與 75 之間 72 較接近 70，因此可將控制信號 CT 設為 70 以設定 CPU 的倍頻值為 $7X$ ，或當運算結果為 88 時將 CPU 的倍頻值設定為 $9X$ 。更簡單的作法是，類神經網路 100 也可僅單純地輸出控制 CPU 升頻或降頻的控制信號 CT，下文中，將更進一步說明類神經網路的運算原理。

接著請參照第 2 圖，其繪示放射狀類神經網路的結構圖，而上文中所提及的類神經網路 100 可以是如第 2 圖所繪示之放射狀類神經網路或其他的類神經網路結構。以此等放射狀類神經網路為例，類神經網路 100 共分為三層，最底層由各輸入點 (例如圖式中輸入點 11、輸入點 13 及輸入點 15 即是) 所組成，可用以接收樣本中的各環境參數 (例如圖式中 X_1 、 X_2 、...、 X_n 等即是)。各環境參數經 m 個基礎函數 (Basis Function) 運算後，可彙集成 m 個基礎向量，例如圖式中的基礎向量 120、基礎向量 140 及基礎向量 160 等，其內容分別為 $h_1(x)$ 、 $h_2(x)$

五、發明說明 ()

及 $h_m(x)$ ，以形成類神經網路 100 的中間層；而後，各基礎向量分別執行不同的權重運算後加以彙整，即可得到最上層的輸出向量 190，其內容為 $f(x)$ ；依據輸出向量 190 定義出控制信號 CT 後，即可據以設定 CPU 的倍頻值，其設定方法可參考上文敘述，於此便不多做說明。以此等架構而言，若以數學式來表示輸出向量與各基礎向量間的關係，則可記為：

$$f(x) = \sum_{j=1}^m w_j h_j(x) \cdots \cdots \cdots (1)$$

第(1)式中 w_j 即為各權重向量，且與各基礎向量 $h_j(x)$ 相對應，權重向量與基礎向量相乘後加以積分，即可組成輸出向量 $f(x)$ 。需要注意的是，由於各環境參數的變化對倍頻值都會有所影響，為凸顯各環境參數的重要性，基礎函數的選擇就顯得十分重要，在實際應用上，可選擇放射狀基礎函數 (Radial Basis Function) 來加以應用，以使各環境參數的變化對倍頻值的影響能更為顯著。所謂放射狀基礎函數是一些比較特別的函數，共通特性是其函數圖形會從中心點往兩邊等距離的遞增或遞減，例如高斯 (Gaussian) 函數或多次曲面 (multiquadric) 函數等即是。請參照第 3A 圖，其繪示高斯函數的圖形。一般而言，高斯函數可表示為：

$$h(x) = \exp\left(-\frac{(x-c)^2}{r^2}\right) \cdots \cdots \cdots (2)$$

第(2)式中的 c 為中心點，而 r 為調整範圍。由圖式可知，當 $x=c$ 時函數值最大，當 x 偏離中心點越多時，函數值也衰減得越厲害，因此若善加利用高斯函數的特性，即可彰顯各環境參數對倍頻值的影響。當然除了高斯函數之外，尚其他的函數具有這樣的特性，例如多次曲面函數即是，接著請參照第 3B 圖，其繪示多次曲面函數的圖形。一般而言，多次曲面函數可表示為：

五、發明說明 ()

$$h(x) = \frac{\sqrt{r^2 + (x - c)^2}}{r} \dots\dots\dots (3)$$

第(3)式中的c同樣為中心點，而r亦為調整範圍。由圖式可知，當x=c時函數值最小，當x偏離中心點越多時，函數值增加得越厲害，因此若善加利用多次曲面函數的特性，同樣可彰顯各環境參數對倍頻值的影響。當然上述高斯函數及多次曲面函數僅為可符合基礎函數需求之一例，其他能符合此需求的函數所在多有，於此便不一贅述，下文將針對類神經網路的學習功能及其相關應用加以說明。

首先將說明類神經網路的學習程序。類神經網路在學習時，必須先將樣本中的各環境參數饋入輸入點中，並設定類神經網路若採用此等樣本所欲得到的輸出向量，如此，類神經網路依據已知的基礎函數、輸出向量及各輸入點的環境參數加以運算，即可推知各權重向量；經過多次學習後，各權重向量將越來越精確，待學習完畢後，各權重向量便可確定下來，爾後只要各輸入點的環境參數有所改變，藉由基礎函數及不同的權重運算後，類神經網路即可得到具有意義的輸出向量，以作為調整CPU倍頻值或其他控制之用。接著將舉例說明，當利用倍頻值的改變情形作為樣本時，類神經網路的學習情形。請參照第4A圖，其繪示類神經網路在倍頻值逐漸增加時各向量彼此間的關係。類神經網路100之輸入點11中的環境參數表示CPU在時間t1時的倍頻值，輸入點13中的環境參數表示CPU在時間t2時的倍頻值，輸入點15中的環境參數表示CPU在時間t2時的倍頻值，在此假設t1<t2<t3。如圖所示，CPU在時間t1時為2倍頻，在時間t2時為3倍頻，在時間t3時為4倍頻，隨著時間的流逝，倍頻值也逐漸增加（由2增至3增至4）；也就是說，若此趨勢不變，則下次的倍頻值應為5倍頻，因此，吾人可將代表5倍頻的控制信號CT設定為50以作

五、發明說明 ()

為類神經網路的輸出向量 190，並由類神經網路 100 針對此輸出向量 190 及各輸入點中的環境參數加以運算，以定義出權重向量 W_{11} 、權重向量 W_{21} 以及權重向量 W_{31} 。當然，類神經網路 100 不太可能僅憑一組樣本就學習到最恰當的權重向量，因此需要再度學習。接著，我們將 5、4、3 這組樣本輸入各輸入點，如第 4B 圖所繪示，這代表著隨著時間的流逝，倍頻值也逐漸減少（由 5 降至 4 降至 3）；也就是說，若此趨勢不變，則下次的倍頻值應為 2 倍頻，因此，吾人可將代表 2 倍頻的控制信號 CT 設定為 20 以作為類神經網路的輸出向量 190，並由類神經網路 100 針對此輸出向量 190 及各輸入點中的環境參數加以運算，以定義出權重向量 W_{12} 、權重向量 W_{22} 以及權重向量 W_{32} 。為使各權重向量能更精確，可讓類神經網路 100 更進一步地學習，例如，我們可再次將 2、4、6 這組樣本輸入各輸入點，如第 4C 圖所繪示，這代表倍頻值呈跳躍式的增加；也就是說，若此趨勢不變，則下次的倍頻值應為 8 倍頻，因此，吾人可將代表 8 倍頻的控制信號 CT 設定為 80 以作為類神經網路的輸出向量 190，並由類神經網路 100 定義出權重向量 W_{13} 、權重向量 W_{23} 以及權重向量 W_{33} 。假設此時類神經網路 100 業已學習完畢，而權重向量 W_{13} 、權重向量 W_{23} 以及權重向量 W_{33} 即為最後決定採用的結果，爾後在應用時，僅需改變各輸入點的環境參數，即可利用各基礎向量及權重向量決定出適當的倍頻值，並據以控制 CPU 的升降頻。舉例來說，若有一組樣本其倍頻值依序為 1.7、3.7 以及 5.7，如第 4D 圖所繪示，那麼類神經網路 100 針對這些輸入點的環境參數加以運算後，應可對應產生接近於 77 的輸出向量 190，透過一些簡單的運算，即可將控制信號 CT 設定為代表 7.5 倍頻的 75（因為與 7.7X 較接近的倍頻值為 7.5X），以令 CPU 以 7.5 倍頻工作。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 ()

當然在實際應用上，並不會單純地由倍頻值的變化來決定其輸出向量大小，而會將能影響 CPU 效能的各項環境參數輸入類神經網路的各輸入點中，並藉由類神經網路的運算得到最恰當的倍頻值。例如可將 CPU 目前之倍頻值、CPU 前次之倍頻值、IDE 控制器之資料存取情形、DMA 控制器之資料存取情形、AGP 介面之資料存取情形或 PCI 介面之資料存取情形等等輸入類神經網路的各輸入點中作為樣本，只要各輸入點中的環境參數一有變化，立刻就有可能會影響輸出結果；也就是說，類神經網路 100 在學習時，樣本內的環境參數是多樣性的，以使評估結果能更客觀公正。

為使類神經網路在學習程序及應用程序中各向量間的因果關係能更明確，在此可依據類神經網路所執行程序的不同，將各向量的名稱重新加以定義。也就是說，在學習時是透過自行設定的環境參數及輸出向量來求得權重向量，而在應用時是透過實際的環境參數及權重向量求得輸出向量，兩程序的標的並不相同，因此吾人可稱，當類神經網路 100 在學習時，輸出向量及各環境參數都可視為虛擬的條件，故稱此時的輸出向量及環境參數為擬輸出向量及擬環境參數，使類神經網路藉以習得最恰當的權重向量；待學習完畢後，類神經網路即可依據實際的環境參數及習得的權重向量求出各基礎向量及輸出向量，以調整出恰當的倍頻值，控制 CPU 的升降頻。在實際應用上，可將此等類神經網路的演算法寫成應用程式，並在作業系統（例如 Windows 等）下執行，執行時可在視窗右下角顯示目前的倍頻值，若使用者認為目前的倍頻值太高或太低，可隨時啟動類神經網路的學習功能，以符合使用者的需求。舉例來說，若目前 CPU 使用 5 倍頻工作而使用者覺得太慢時，可利用手動的方式將倍頻值改為 6 倍頻並啟動

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明()

學習的功能，此時類神經網路會將這次的調整學習進來，有了這次的經驗，若下次在類似的環境下工作，即可自動將倍頻值調整為 6 倍頻。因此，由於類神經網路具有強大的學習功能，故系統也會越來越聰明，也越能因應個人的使用習慣隨時調整出最恰當的工作頻率。在與硬體的結合方面，可利用類神經網路的輸出向量來控制驅動器(driver)，並由驅動器的輸出調整 CPU 內部的暫存器(register)，以達到調整倍頻值的目的，故此等技術並無施行上的困難。

需要注意的是，實施例中所使用的設計參數僅為本發明之一例，並非用以限制本發明之適用條件，任何熟悉此技術者均可調整設計參數而達到與本發明類似的功能，唯仍不脫離本發明之精神。

【發明效果】

本發明上述實施例所揭露之利用類神經網路控制中央處理器升降頻的方法，至少具有以下優點：

- 一、不需重新開機即可隨時調整 CPU 的倍頻值，操作方便。
- 二、系統可視 CPU 的效能高低機動調整其倍頻值，以節約用電。
- 三、使用者可利用應用程式隨時設定倍頻值，並利用類神經網路強大的學習功能使系統能符合個人的操作習慣。

綜上所述，雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

六、申請專利範圍

1. 一種利用類神經網路 (neural network) 控制中央處理器 (Central Processing Unit, CPU) 升降頻的方法，包括以下步驟：
提供複數個環境參數；

將該些環境參數饋入該類神經網路以求得一輸出向量；以及

依據該輸出向量控制該中央處理器的升降頻。

2. 如申請專利範圍第1項所述之利用類神經網路控制中央處理器升降頻的方法，其中該類神經網路係放射狀網路。

3. 如申請專利範圍第1項所述之利用類神經網路控制中央處理器升降頻的方法，其中該些環境參數包括該中央處理器目前的倍頻值。

4. 如申請專利範圍第1項所述之利用類神經網路控制中央處理器升降頻的方法，其中該些環境參數包括該中央處理器前次的倍頻值。

5. 如申請專利範圍第1項所述之利用類神經網路控制中央處理器升降頻的方法，其中該些環境參數包括 IDE (Intelligent Drive Electronics) 控制器之資料存取情形。

6. 如申請專利範圍第1項所述之利用類神經網路控制中央處理器升降頻的方法，其中該些環境參數包括 DMA (Direct Memory Access) 控制器之資料存取情形。

7. 如申請專利範圍第1項所述之利用類神經網路控制中央處理器升降頻的方法，其中該些環境參數包括 AGP (Accelerated Graphics Port) 介面之資料存取情形。

8. 如申請專利範圍第1項所述之利用類神經網路控制中央處理器升降頻的方法，其中該些環境參數包括 PCI (Peripheral Component Interconnect) 介面之資料存取情形。

9. 一種利用類神經網路控制中央處理器升降頻的方法，該類神經

六、申請專利範圍

網路包括 m 個基礎函數及 m 個權重向量，用以依據 n 個環境參數求得一輸出向量，該利用類神經網路控制中央處理器升降頻的方法包括以下步驟：

提供該 n 個環境參數；

將該 n 個環境參數代入該 m 個基礎函數中以求得 m 個基礎向量；

依據該 m 個權重向量及該 m 個基礎向量求得該輸出向量；以及

依據該輸出向量控制該中央處理器的升降頻，其中， m 及 n 均為正整數。

10. 如申請專利範圍第 9 項所述之利用類神經網路控制中央處理器升降頻的方法，其中該類神經網路係放射狀網路。

11. 如申請專利範圍第 9 項所述之利用類神經網路控制中央處理器升降頻的方法，其中該些基礎函數包括一放射狀基礎函數。

12. 如申請專利範圍第 11 項所述之利用類神經網路控制中央處理器升降頻的方法，其中該放射狀基礎函數係高斯 (Gaussian) 函數。

13. 如申請專利範圍第 11 項所述之利用類神經網路控制中央處理器升降頻的方法，其中該放射狀基礎函數係多次曲面 (multiquadric) 函數。

14. 如申請專利範圍第 9 項所述之利用類神經網路控制中央處理器升降頻的方法，其中該些環境參數包括該中央處理器目前的倍頻值。

15. 如申請專利範圍第 9 項所述之利用類神經網路控制中央處理器升降頻的方法，其中該些環境參數包括該中央處理器前次的倍頻值。

16. 如申請專利範圍第 9 項所述之利用類神經網路控制中央處理

六、申請專利範圍

器升降頻的方法，其中該些環境參數包括 IDE 控制器之資料存取情形。

17. 如申請專利範圍第 9 項所述之利用類神經網路控制中央處理器升降頻的方法，其中該些環境參數包括 DMA 控制器之資料存取情形。

18. 如申請專利範圍第 9 項所述之利用類神經網路控制中央處理器升降頻的方法，其中該些環境參數包括 AGP 介面之資料存取情形。

19. 如申請專利範圍第 9 項所述之利用類神經網路控制中央處理器升降頻的方法，其中該些環境參數包括 PCI 介面之資料存取情形。

20. 一種利用類神經網路控制中央處理器升降頻的方法，該類神經網路包括 m 個基礎函數，用以依據 n 個環境參數求得一輸出向量，該利用類神經網路控制中央處理器升降頻的方法包括以下步驟：

執行一學習程序，包括以下步驟：

提供 p 個擬環境參數；

提供一擬輸出向量；以及

藉該類神經網路依據該 p 個擬環境參數及該擬輸出向量求得 m 個權重向量；以及

執行一應用程序，包括以下步驟：

提供該 n 個環境參數；

將該 n 個環境參數代入該 m 個基礎函數中以求得 m 個基礎向量；

依據該 m 個基礎向量及該 m 個權重向量求得該輸出向量；以及

依據該輸出向量控制該中央處理器的升降頻，其中， m 、 n 及 p 均為正整數。

21. 如申請專利範圍第 20 項所述之利用類神經網路控制中央處理

六、申請專利範圍

器升降頻的方法，其中該類神經網路係放射狀網路。

22. 如申請專利範圍第 20 項所述之利用類神經網路控制中央處理器升降頻的方法，其中該些基礎函數包括一放射狀基礎函數。

23. 如申請專利範圍第 22 項所述之利用類神經網路控制中央處理器升降頻的方法，其中該放射狀基礎函數係高斯函數。

24. 如申請專利範圍第 22 項所述之利用類神經網路控制中央處理器升降頻的方法，其中該放射狀基礎函數係多次曲面函數。

25. 如申請專利範圍第 20 項所述之利用類神經網路控制中央處理器升降頻的方法，其中該些擬環境參數包括該中央處理器目前的倍頻值。

26. 如申請專利範圍第 20 項所述之利用類神經網路控制中央處理器升降頻的方法，其中該些擬環境參數包括該中央處理器前次的倍頻值。

27. 如申請專利範圍第 20 項所述之利用類神經網路控制中央處理器升降頻的方法，其中該些擬環境參數包括 IDE 控制器之資料存取情形。

28. 如申請專利範圍第 20 項所述之利用類神經網路控制中央處理器升降頻的方法，其中該些擬環境參數包括 DMA 控制器之資料存取情形。

29. 如申請專利範圍第 20 項所述之利用類神經網路控制中央處理器升降頻的方法，其中該些擬環境參數包括 AGP 介面之資料存取情形。

30. 如申請專利範圍第 20 項所述之利用類神經網路控制中央處理器升降頻的方法，其中該些擬環境參數包括 PCI 介面之資料存取情形。

31. 如申請專利範圍第 20 項所述之利用類神經網路控制中央處理

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

器升降頻的方法，其中該些環境參數包括該中央處理器目前的倍頻值。

32. 如申請專利範圍第 20 項所述之利用類神經網路控制中央處理器升降頻的方法，其中該些環境參數包括該中央處理器前次的倍頻值。

33. 如申請專利範圍第 20 項所述之利用類神經網路控制中央處理器升降頻的方法，其中該些環境參數包括 IDE 控制器之資料存取情形。

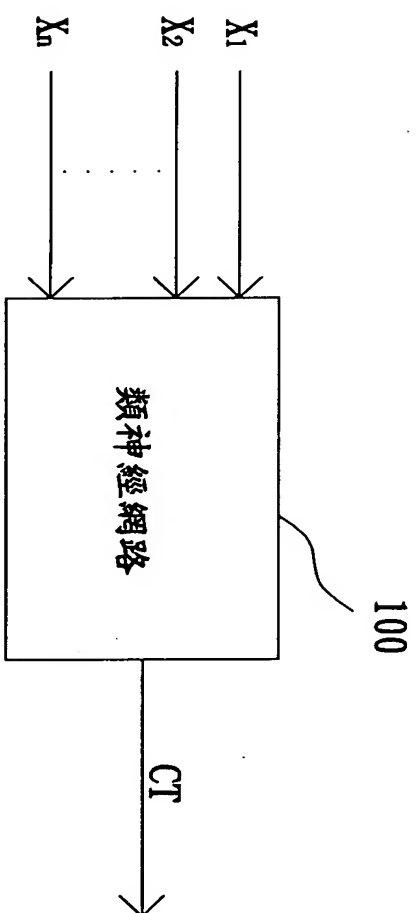
34. 如申請專利範圍第 20 項所述之利用類神經網路控制中央處理器升降頻的方法，其中該些環境參數包括 DMA 控制器之資料存取情形。

35. 如申請專利範圍第 20 項所述之利用類神經網路控制中央處理器升降頻的方法，其中該些環境參數包括 AGP 介面之資料存取情形。

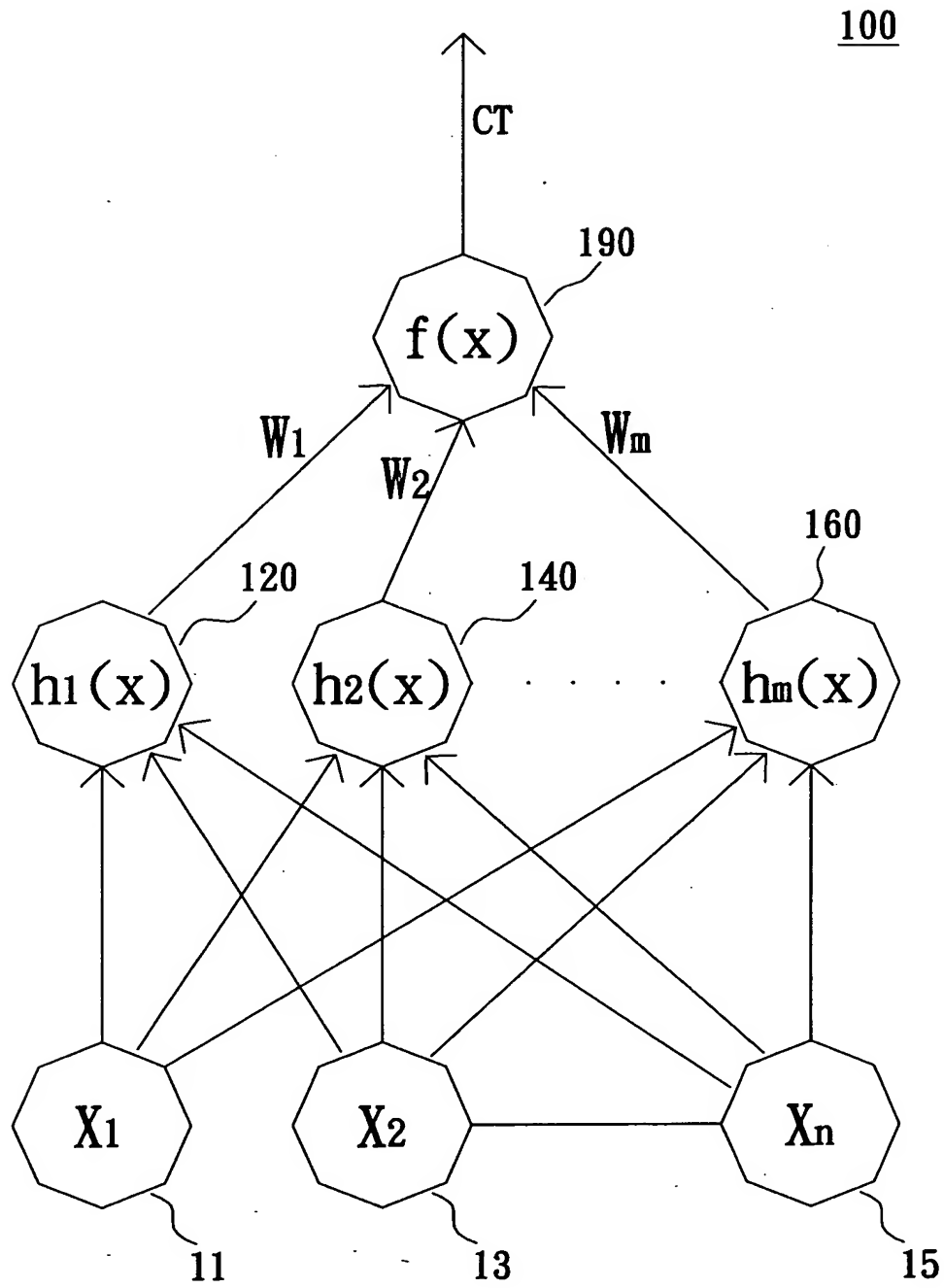
36. 如申請專利範圍第 20 項所述之利用類神經網路控制中央處理器升降頻的方法，其中該些環境參數包括 PCI 介面之資料存取情形。

(請先閱讀背面之注意事項再填寫本頁)

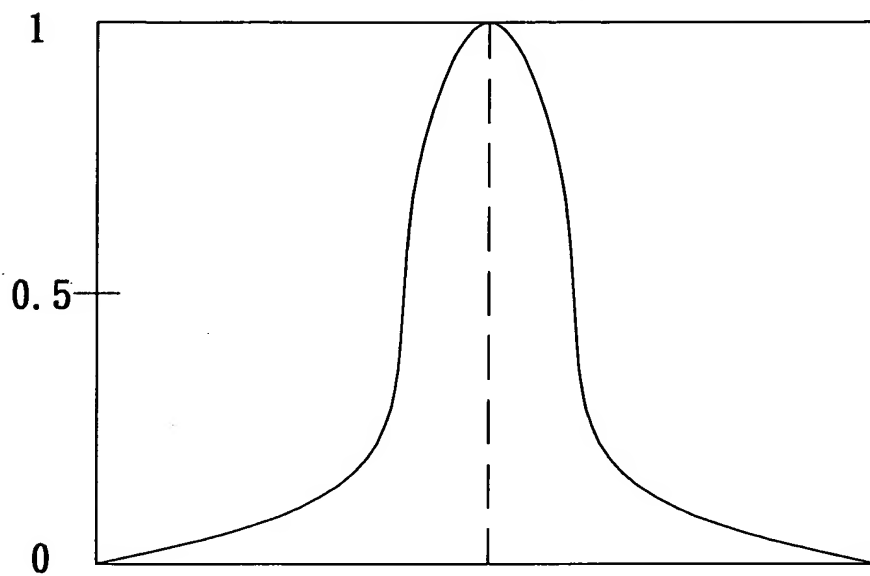
裝
訂
線



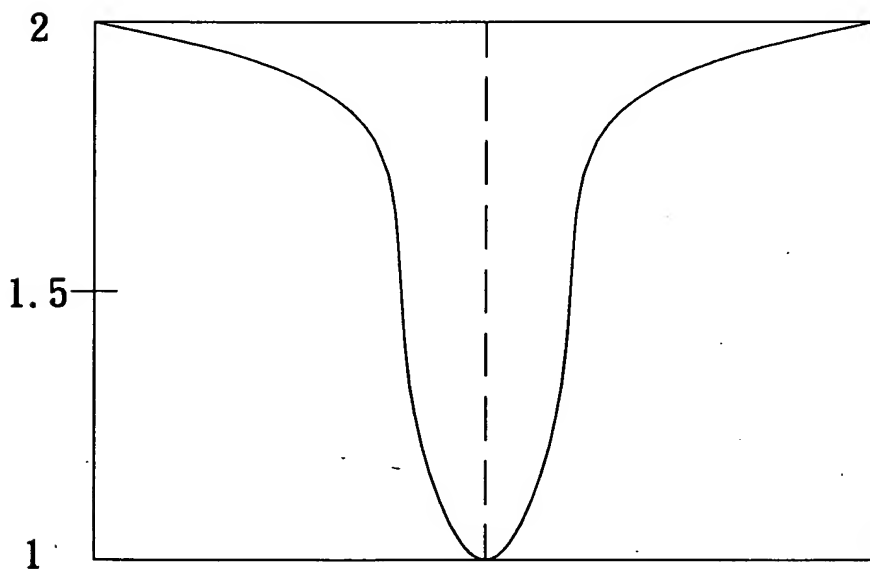
第 1 圖



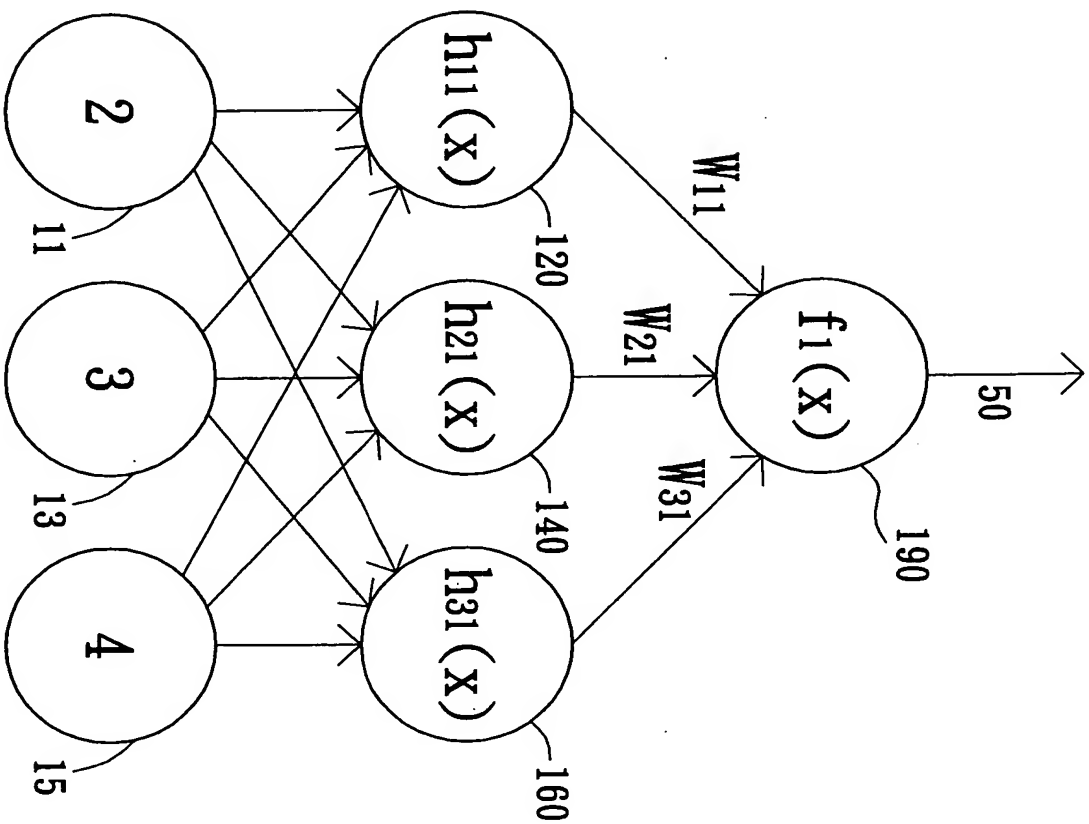
第 2 圖



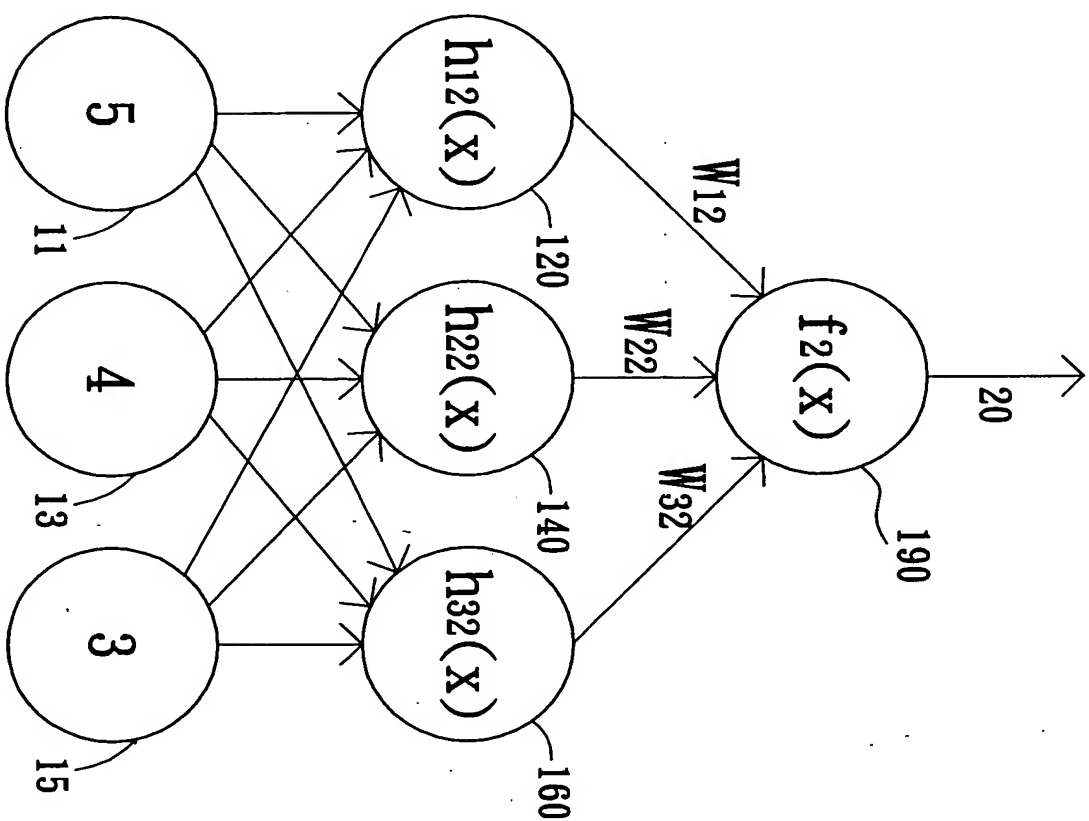
第 3A 圖



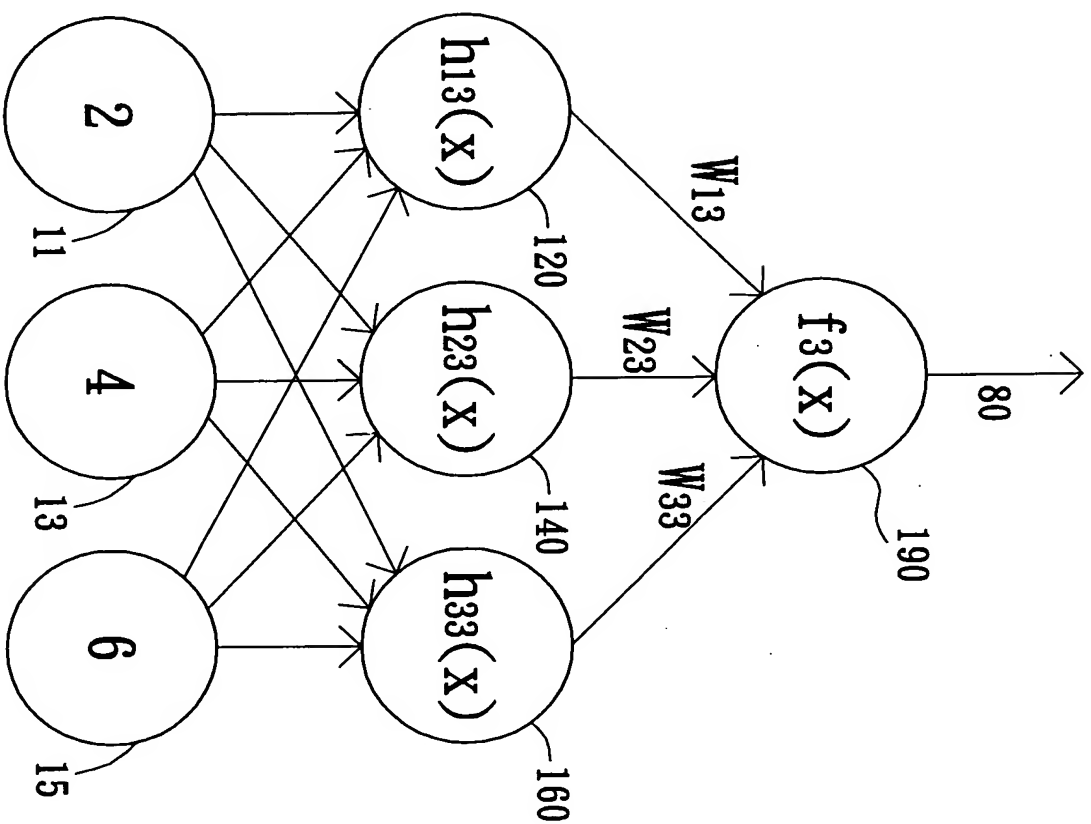
第 3B 圖



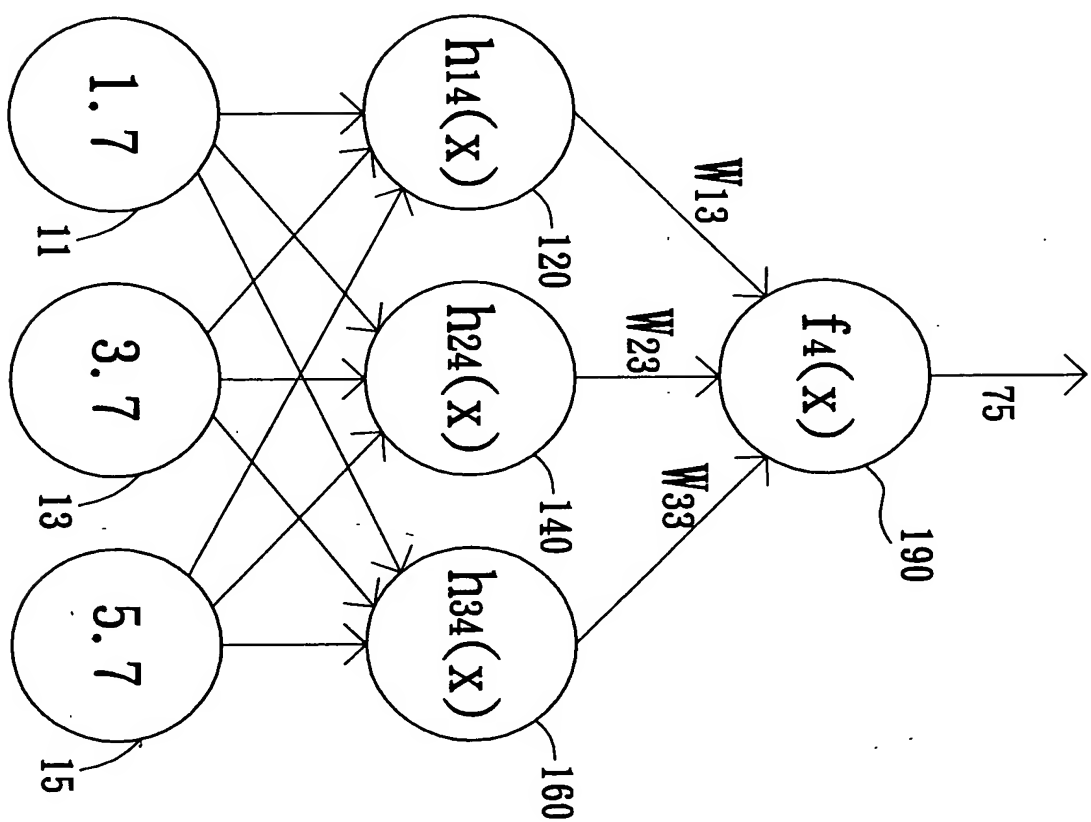
第 4A 圖



第 4B 圖



第 4C 圖



第 4D 圖